

8
09/530787

PCT/JP98/05002

ESKJ

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

06.11.98

7 / Priority

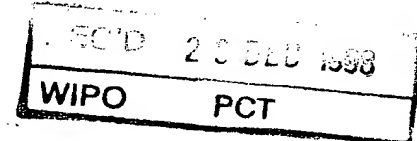
Doc.
E. 11-16-00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1997年11月6日



出願番号
Application Number:

平成9年特許願第303911号

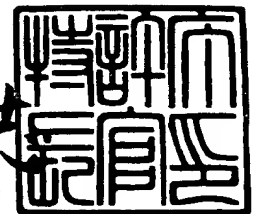
出願人
Applicant(s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

1998年12月11日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平10-3098319

【書類名】	特許願
【整理番号】	H97033341A
【提出日】	平成 9年11月 6日
【あて先】	特許庁長官 殿
【国際特許分類】	G06F 13/00
【発明の名称】	データ処理装置およびデータ処理システム
【請求項の数】	6
【発明者】	
【住所又は居所】	東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
【氏名】	戸田 誠
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
【氏名】	西本 順一
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
【氏名】	伊藤 雅之
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
【氏名】	吉田 裕
【発明者】	
【住所又は居所】	東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内
【氏名】	長谷川 淳
【特許出願人】	
【識別番号】	000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立マイコンシステム

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【包括委任状番号】 9102710

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置およびデータ処理システム

【特許請求の範囲】

【請求項1】

CPUと、

前記CPUから出力された第一のアドレスを入力し、この第一のアドレスを第二のアドレスに変換するアドレス変換手段と、

前記アドレス変換手段によって変換された第二のアドレスを、外部デバイスに出力するアドレス出力手段とを有するデータ処理装置であって、

前記アドレス変換手段は、前記外部デバイスを制御するための外部デバイス制御情報を、前記第一のアドレスまたは前記第二のアドレスの少なくとも一方に対応づけて記憶することを特徴とするデータ処理装置。

【請求項2】

請求項1に記載のデータ処理装置において、前記外部デバイスはPCMCIAインターフェースを有するデバイスであり、前記外部デバイス制御情報は、前記PCMCIAインターフェースを有するデバイスのアクセスタイミング、メモリ属性およびバス幅の少なくとも1つを規定する情報を含むことを特徴とするデータ処理装置。

【請求項3】

請求項2に記載のデータ処理装置において、前記アドレス変換手段はアドレス変換バッファであり、前記第一のアドレスは仮想アドレスであり、前記第二のアドレスは外部メモリアドレスであるデータ処理装置。

【請求項4】

請求項1に記載のデータ処理装置において、外部デバイスへのアクセスで使用するアドレスが前記アドレス変換手段を用いない場合、内蔵レジスタにおいて設定した情報を外部デバイス制御のための情報として用いることを特徴とするデータ処理装置。

【請求項5】

PCMCIAインターフェースを有するデバイスとバスを介して接続して用い

られるデータ処理装置において、データ処理装置内に設けられたTLBに前記デバイスの制御情報を格納したデータ処理装置。

【請求項6】

システムバスを介して接続されるデータ処理装置とPCMCIAインターフェースを有するデバイスとを包含してなるデータ処理システムにおいて、

前記データ処理装置は、データ処理装置内部に設けたアドレス変換バッファに前記デバイスの制御情報を保持し、前記デバイスをアクセスする際にアクセスに必要なアドレスを前記アドレス変換バッファによって変換するとともに、前記アドレス変換バッファに保持された前記制御情報によって前記デバイスを制御することを特徴とするデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマイクロプロセッサやマイクロコンピュータ等のデータ処理装置に関するものであり、特に、接続する外部デバイスを効率よく制御するデータ処理装置に関する。

【0002】

【従来の技術】

マイクロプロセッサ等のデータ処理装置においては、周波数の向上により性能の向上を目指しているが、現実にはデータ処理装置を繋ぐシステムバスの周波数の向上が追いつかないため思うように性能が向上していないのが現状である。またシステムバスに繋がる各種外部デバイスの種類も多種多様になってきているため制御が複雑になり、これも性能が向上しない理由の1つとなっている。

【0003】

このシステムバスに繋がる外部デバイスの1つとして、昨今注目されている物としてPCMCIAが挙げられる。ここで、PCMCIAとは、ICメモ리카ードの標準化団体であるPCMCIA (PC Memory Card International Association) により、標準化されたICメモ리카ードなどのインタフェース仕様であり、モデムやLANなどの入出力仕様にも適用されている。

【0004】

PCMCIAにおいては、小さな領域ごとにウェイトやバス幅の設定がダイナミックに変更可能であるため、システムに最適な構成を取りやすい。ただし、従来のデータ処理装置においては、PCMCIAのウェイトやバス幅の設定をダイナミックに切り替えられる機能に十分に対応し切れていないのが実状である。

【0005】

一方、従来高性能なマイクロプロセッサにおいては、外部デバイスをアクセスする仮想アドレスをアドレス変換バッファ(TLB)を用いて外部メモリアドレスに変換する技術が採用されている。TLBはこのアドレス変換情報を使って外部メモリアドレスを生成するだけでなく、アクセス権の判定をしたり、内蔵するキャッシュメモリのキャッシュアクセスモードを選択することもある。アクセス権とは、データ処理装置に内蔵されたモードレジスタにより決定された内部モードによりロード・ストア別に許可するアクセスを規定するものであり、このアクセス権に違反するアクセスを起こすとデータ処理装置は例外を発生させる。キャッシュのアクセスモードにはライトスルーアクセスやコピーバックアクセスなどの種類があり、このアクセスモードをアドレス変換の際に使用するTLBごとに切り替える方法である。従来のデータ処理装置におけるTLBは、このようにアドレス変換を行い、またアドレス変換の際にデータ処理装置内の制御を行うものであるが、データ処理装置と接続される外部デバイスの制御を考慮したTLBを採用することは、従来は全く意識すらされていなかった。

【0006】

【発明が解決しようとする課題】

上述のように、従来のデータ処理装置においては、データ処理装置にシステムバスを介してPCMCIA等の外部デバイスを接続する場合においても、PCMCIAへのアクセスにおけるバス幅やウェイトは固定的に扱うことしかできず、PCMCIAのウェイトやバス幅の設定をダイナミックに切り替えられる機能に十分に対応できないという問題があった。PCMCIAへのアクセスにおけるバス幅やウェイトなどの制御情報を、たとえデータ処理装置内の制御レジスタ等に保持する構成をとったとしても、これらのバス幅やウェイトなどの設定を変更す

る必要が生じた場合は、その都度制御レジスタなどの設定を変更する必要がある。これではいくつかの設定を同時に使用したい場合に性能が向上しない。

【0007】

本発明の目的は、アクセス方法をダイナミックに変更できるPCMCIA等の外部デバイスに対して、実動作中にこの変更機能を容易に使用することを可能とするデータ処理装置およびデータ処理システムを提供することである。

【0008】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば以下の通りである。

【0010】

すなわち、上記目的を達成するために、本願発明は、データ処理装置内に設けられたTLBに、PCMCIAなどの外部デバイスのアクセス方法等を指定する外部デバイス制御情報をアドレス変換情報ごとに格納しておき、外部デバイスのアクセスに用いる論理アドレスをTLBを介して変換する際に、当該制御情報をTLBから取り出せるようにする。制御情報は仮想アドレスを変換する際にTLBから同時に読み出される。仮想アドレスをTLBを用いて変換しない場合は、内蔵レジスタ等に保持されている外部デバイス制御のための既定値を用いる回路を内蔵する。

【0011】

【発明の実施の形態】

図1に、本発明の一実施例であるデータ処理装置がシステムバスを介して外部デバイスと接続されているデータ処理システムの構成を示す。

【0012】

データ処理装置(100)は、主にCPU(101)と命令TLB(102)、命令キャッシュ(103)、データTLB(104)、データキャッシュ(105)、

外部バスコントローラ（１０６）から構成され、データ処理装置（１００）は、システムバスを介して、外部デバイスとして、ROM（１０７）、SRAM（１０８）、PCMCIA（１０９）、SDRAM（１１０）が接続されている。

【００１３】

ここで、データ処理装置（１００）に接続される外部デバイスは、特にこれらに限定されるものではない。図１では、主として本発明に関わる機能のみを図に示してある。

【００１４】

命令キャッシュ（１０３）と命令TLB（１０２）は、中央演算装置CPU（１０１）から命令フェッチ要求を受ける。命令フェッチ要求を受けた、命令TLB（１０２）は、CPU（１０１）から信号線（１２０）に出力された命令フェッチアドレスを受け取り、アドレス変換を行い、信号線（１２２）を介して、その変換されたアドレスを命令キャッシュ（１０３）に送る。それと同時にPCMCIA（１０９）への制御情報も信号線（１２４、１２５）から出力され、セクタ（１３７）でセレクトされて、信号線（１３８、１３９）を介して外部バスコントローラ（１０６）へ送られる。

【００１５】

ここで、信号線（１２４）は、PCMCIAアクセスのためのタイミングコントロール信号、信号線（１２５）は、PCMCIAアクセスのためのメモリ属性情報とするが、特にPCMCIAアクセスのための制御情報、またはその他の外部デバイスのアクセス方法を指定する情報であれば、これらに限定しない。

【００１６】

命令TLB（１０２）がアドレス変換を失敗したときは、信号線（１２１）を介して、例外信号をCPU（１０１）へ送る。

【００１７】

命令キャッシュ（１０３）は、命令TLB（１０２）により変換されたアドレスを信号線（１２２）を介して受け取り、そのアドレスを用いて、キャッシュメモリから命令コードを読み出し、信号線（１２３）を介して、その命令コードをCPU（１０１）へ返す。

【0018】

キャッシュメモリ内に命令が存在しない場合は、外部デバイスから命令を読み出す必要が生じる。この場合、命令TLB（102）により変換されたアドレスを信号線（126）に乗せ、アドレスはアドレスバスを介して外部バスコントローラ（106）へ送られる。

【0019】

このアドレスを受け取った外部バスコントローラ（106）は、そのアドレスが、PCMCIA（109）へのアクセスである場合、信号線（138、139）のPCMCIAの制御情報を用いて、PCMCIA（109）のアクセス方法を判別して、PCMCIAをアクセスし、キャッシュメモリへ命令を返す。その他の外部メモリとして図に示すROM（107）、SRAM（108）、SDRAM（110）何れかのアクセスの場合は、その外部メモリからシステムバスを介して命令を読み取り、信号線（127）に乗せ、その命令をキャッシュメモリへ返す。

【0020】

命令コードを受け取ったCPU（101）は、そのコードを解読して、命令を実行する。

【0021】

その命令が外部デバイスへのリード／ライトアクセスを行う場合、リードアクセスを用いて説明すると、CPU（101）は、データTLB（104）へ信号線（129）を介して、外部デバイスをアクセスするための仮想アドレスを送る。その仮想アドレスを受け取ったデータTLB（104）は、アドレス変換を行い、信号線（133）を介して、その変換された物理アドレスをデータキャッシュ（105）に送る。それと同時にPCMCIA（109）の制御情報も外部バスコントローラへ信号線（130、131）からセクタ（137）によりセレクトされ、信号線（138、139）を介して送られる。命令TLB（102）と同様にアドレス変換に失敗した時は、信号線（132）を介して、例外信号をCPU（101）へ送る。データキャッシュ（105）は、データTLB（104）により変換された物理アドレスを用いて、データキャッシュメモリからデータを読み出し、CPU（101）へ返す。キャッシュメモリ内にデータが存在しなかった場合は、外部デ

バスからデータを読み出す必要が生じる。この場合、データTLB(104)により変換されたアドレスを信号線(133)に乗せ、アドレスバスを介して、外部バスコントローラ(106)へ送られる。

【0022】

このアドレスを受け取った外部バスコントローラ(106)は、そのアドレスが、PCMCIAアクセスである場合は、信号線(138、139)のPCMCIAの制御情報を用いて、PCMCIA(109)のアクセス方法を判別して、PCMCIAをアクセスし、キャッシュメモリへデータを返し、データ線(136)を介して、CPU(101)へそのデータを返す。その他の外部メモリ、ROM(107)、SRAM(108)、SDRAM(110)の何れかのアクセスである場合は、その外部メモリからシステムバスを介してデータを読み取り、信号線(135)に乗せ、キャッシュメモリへデータを返す。

【0023】

外部デバイスへのリードアクセスを用いて、説明したが、ライトアクセスの場合は、CPU(101)の命令実行から外部デバイスをアクセスするまでの一連の動作に違いはなく、外部デバイスへデータを書き込む。

【0024】

また、キャッシュのアクセスモードにより、キャッシュにのみデータを書き込み、外部デバイスへの書き込みを行わない場合もある。

【0025】

高性能なマイクロプロセッサにおいては外部デバイスをアクセスする仮想アドレスが命令TLB(102)、またはデータTLB(104)を用いて外部メモリアドレスに変換されるとき、変換前の仮想アドレスは32ビットや64ビットで構成され、変換後の外部メモリアドレスはデータ処理装置がサポートする外部アドレス空間に収まるように変換される。通常このアドレス空間は28ビット～32ビットが一般的であるが、本発明は特にこれに限定されない。TLBにより変換される仮想アドレス空間の範囲は1Kバイト、4Kバイト、64Kバイト、1Mバイトなどデータ処理装置によっても異なるがこのような領域毎に変換出来る構成になっている。この変換の情報はTLBに複数個登録されており、対応す

るアドレス変換情報を使ってデータ処理装置が自動的にアドレス変換を行う。TLBに登録できるアドレス変換情報の数はデータ処理装置によっても異なるが64～256の範囲が一般的である。対応するアドレス変換情報がTLBに存在しない場合、データ処理装置は一般的に例外を発生するが、ソフトウェアが例外処理ルーチンの中で、再度アドレス変換情報をTLBに登録する。またこの処理をデータ処理装置が自動的に行う場合もある。

【0026】

図2は、図1の命令TLB(102)の基本構成の一例を示したものである。

【0027】

本実施例では、VPN、V、SZ、SA、TCのアドレス変換情報を持った4つのアドレス変換バッファからなる命令TLB(102)を用いて説明する。

【0028】

命令TLB(102)は、信号線(120)からの命令フェッチアドレスを変換するアドレス変換バッファ(200)のおののにおにアドレス変換するための情報を有し、そのアドレス変換バッファへの書き込みは、CPUから書き込み位置の指定された信号が信号線(120)から入力され、また、その書き込みデータを信号線(128)より、入力される。

【0029】

ここで、アドレス変換バッファ(200)に書き込む情報VPNは、外部メモリ空間よりも広い範囲で設定される仮想アドレス空間のアドレス、Vは、その変換情報の有効／無効を示し、SZは、VPNの仮想アドレス空間の範囲(1Kバイト、4Kバイト、64Kバイト、1Mバイト)、PPNは、変換されるべき外部メモリ空間のアドレス、SAは、PCMCIAのメモリ属性情報、TCは、PCMCIAのタイミングコントロール情報である。SAおよびTCは、異なるPPNごとに変更した値が設定可能である。アドレス変換バッファを使用しない場合に用いられる内蔵レジスタ(206)への書き込みは、CPU(101)より信号線(128)へPCMCIAの設定データが入力され書き込まれる。

【0030】

CPU(101)から命令フェッチ要求を受けると、信号線(120)の命令

フェッチアドレスに対応する4個のアドレス変換情報VPNとを比較器(201)により一度に比較し、変換するアドレス空間の範囲をマスク処理し、その変換情報の有効/無効情報Vにより判定する。判定結果により、アドレス変換に失敗した場合は、CPUに例外信号を送る。成功したときは、その変換されるべきアドレス変換情報PPNを読み出し、アドレス生成回路(202)により物理アドレスを生成する。キャッシュ使用時には、その生成された物理アドレスが、キャッシュ未使用時には、信号線(120)のアドレスがセクタ(203)を通して選ばれる。

【0031】

これと同時に、PCMCIAのタイミングコントロール制御信号TCとメモリ属性選択信号SAを読み出す。このとき、信号線(120)をアドレスデコーダ(204)を用いてデコードし、そのデコードされた信号により、アドレス変換バッファを使用する場合と使用しない場合をセクタ(205)を用いて選択する。アドレス変換バッファ(200)を使用しない場合は、PCMCIA制御情報を設定した内蔵レジスタ(206)の値を、アドレス変換バッファを使用した場合は、アドレス変換バッファのTCとSAを外部バスコントローラへ出力する。

【0032】

この実施例によるとPCMCIAをアクセスする情報をアドレス変換バッファに登録しておくことにより、アドレス変換を行う際、変換されたアドレスのページ単位毎にPCMCIAのアクセスを指定した情報を用いることが可能となる。また、アドレス変換を行わない場合でも、内蔵レジスタの既定値を用いることでPCMCIAのアクセスが指定可能となる。

【0033】

図3に、データTLB(104)の基本構成の例を示す。

【0034】

本実施例では、VPN、V、SZ、SA、TCのアドレス変換情報を持った64個のアドレス変換バッファからなるデータTLB(104)を用いて説明する。

【0035】

データTLB(104)は、信号線(129)からの外部デバイスをアクセスす

るための仮想アドレスを物理アドレスに変換するアドレス変換バッファ（300）のおおのにおにアドレス変換するための情報を有し、そのアドレス変換バッファへの書き込みは、CPU（101）から書き込み位置の指定された信号が信号線（129）から入力され、またその書き込みデータを信号線（136）より、入力され書き込まれる。書き込むアドレス変換情報は、図2の命令TLB（102）のアドレス変換情報と同じである。

【0036】

アドレス変換バッファを使用しない場合に用いられる内蔵レジスタ（306）への書き込みは、CPU（101）より信号線（136）へPCMCIAの設定データが入力され書き込まれる。

【0037】

CPU（101）からの外部デバイスへのアクセス要求を受けると、信号線（129）の仮想アドレスに対応する64個のアドレス変換情報VPNとを比較器（301）により一度に比較し、変換するアドレス空間の範囲をマスク処理し、その変換情報の有効／無効情報Vにより判定する。判定結果により、アドレス変換に失敗した場合は、CPUに例外信号を送る。成功したときは、その変換されるべきアドレス変換情報PPNを読み出し、アドレス生成回路（302）により物理アドレスを生成する。

【0038】

キャッシュ使用時には、その生成された物理アドレスが、キャッシュ未使用時には、信号線（129）のアドレスがセクタ（303）を通して選ばれる。

【0039】

これらと同時に、PCMCIAのタイミングコントロール制御信号TCとメモリ属性選択信号SAを読み出す。このとき、信号線（129）をアドレスデコーダ（304）を用いてデコードし、そのデコードされた信号により、アドレス変換バッファを使用する場合と使用しない場合をセクタ（305）を用いて選択する。アドレス変換バッファ（300）を使用しない場合は、PCMCIA制御情報を設定した内蔵レジスタ（306）の値を、アドレス変換バッファを使用した場合は、アドレス変換バッファ（300）のTCとSAを外部バスコントローラへ出力する。

【0040】

図4は、外部バスコントローラ（106）の内部構成の一例を示す図である。
図は主としてPCMCIAを制御する機能部のみを示している。

【0041】

外部バスコントローラ（106）は、メモリ属性選択信号線（138）からメモリ属性選択信号により、PCMCIAのアクセスするメモリ空間とバス幅を選択する。以下メモリ属性信号（138）により制御するメモリの属性およびバス幅の具体例を説明する。例えば、メモリ属性選択信号（138）が3ビットの情報とすれば、010は、8ビットI/O空間、011は、16ビットI/O空間、100は、8ビット共用メモリ空間、101は、16ビット共用メモリ空間、110は、8ビットメモリ属性空間、111は、16ビットメモリ属性空間などに振り分けられる。

【0042】

PCMCIAにアドレス、データとその他ライトイネーブルなどの制御信号（402）を出力するタイミングは、信号線（139）のタイミングコントロール信号を用いて、タイミングコントロール制御部（400）によりウェイト幅を決め、PCMCIAアクセスのタイミングをコントロールする。例えば、タイミングをコントロールするには、タイミングコントロール制御回路（400）により、バス幅、メモリ属性判定回路（401）に送られた、ウェイト値をカウンタに設定し、そのカウンタが0になるまで、システムバスへの入出力を行わないようにする方法がある。

【0043】

図5は、外部バスコントローラ（106）の内部構成の一例を示す図であり、外部バスコントローラのタイミングコントロール制御用の内蔵レジスタを用いたPCMCIAアクセス機能部を示している。

【0044】

外部バスコントローラ（106）の内蔵レジスタ1（500）と内蔵レジスタ2（501）を用いて、信号線（139）のタイミングコントロール信号により、どちらかを選択して、処理する。ここでは、内蔵レジスタを2つしか示してい

ないが、信号線（139）のタイミングコントロール信号のビット幅に合わせて、レジスタの数は、特に制限されない。

【0045】

図6は、PCMCIAへのアクセスの処理フローを示している。命令TLB（102）からのPCMCIAアクセス、データTLBからのPCMCIAアクセスともに共通の動作フローを示している。PCMCIAアクセス要求（600）に対し、アドレス変換可能かを判定する（601）、アドレス変換情報が登録されていない場合、再登録を行う（602）。再登録には、ソフトプログラム上の例外処理ルーチンで行うが、データ処理装置が自動で行ってもよい。アドレス変換可能であった場合は、変換情報を用いて、物理アドレスに変換され（603）、同時にPCMCIA制御情報を出力する（604）。外部バスコントローラ（106）により、物理アドレスが、PCMCIAアクセス領域か判定される（605）。PCMCIAアクセス領域でなければ、PCMCIA以外のメモリアccessを行う（606）。PCMCIAアクセス領域であれば、PCMCIAの制御情報を用いて、PCMCIAのアクセス方法を決定する（607）。

【0046】

【発明の効果】

本発明によれば、PCMCIAなどの外部デバイスをアクセスする方法をTLBのアドレス変換情報の一部として、登録しておくことにより、TLBを介して、アドレス変換を行う際に、仮想アドレスから物理アドレスに変換されたページ単位毎に外部デバイスのアクセス方法を指定した情報を用いることが可能となる。また仮想アドレスからTLBのアドレス変換情報を用いて、アドレス変換を行わない場合でも内蔵レジスタの既定値を使用することで、外部デバイスのアクセス方法を指定可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施例であるデータ処理装置と外部デバイスを接続したデータ処理装置の構成を表す図である。

【図2】

本発明の一実施例であるデータ処理装置に設けられた命令TLBの構成の例を表

す図である。

【図3】

本発明の一実施例であるデータ処理装置に設けられたデータTLBの構成の例を表す図である。

【図4】

本発明の一実施例であるデータ処理装置に設けられた外部バスコントローラの構成の例を表す図である。

【図5】

本発明の一実施例であるデータ処理装置に設けられた外部バスコントローラの構成の例を表す図である。

【図6】

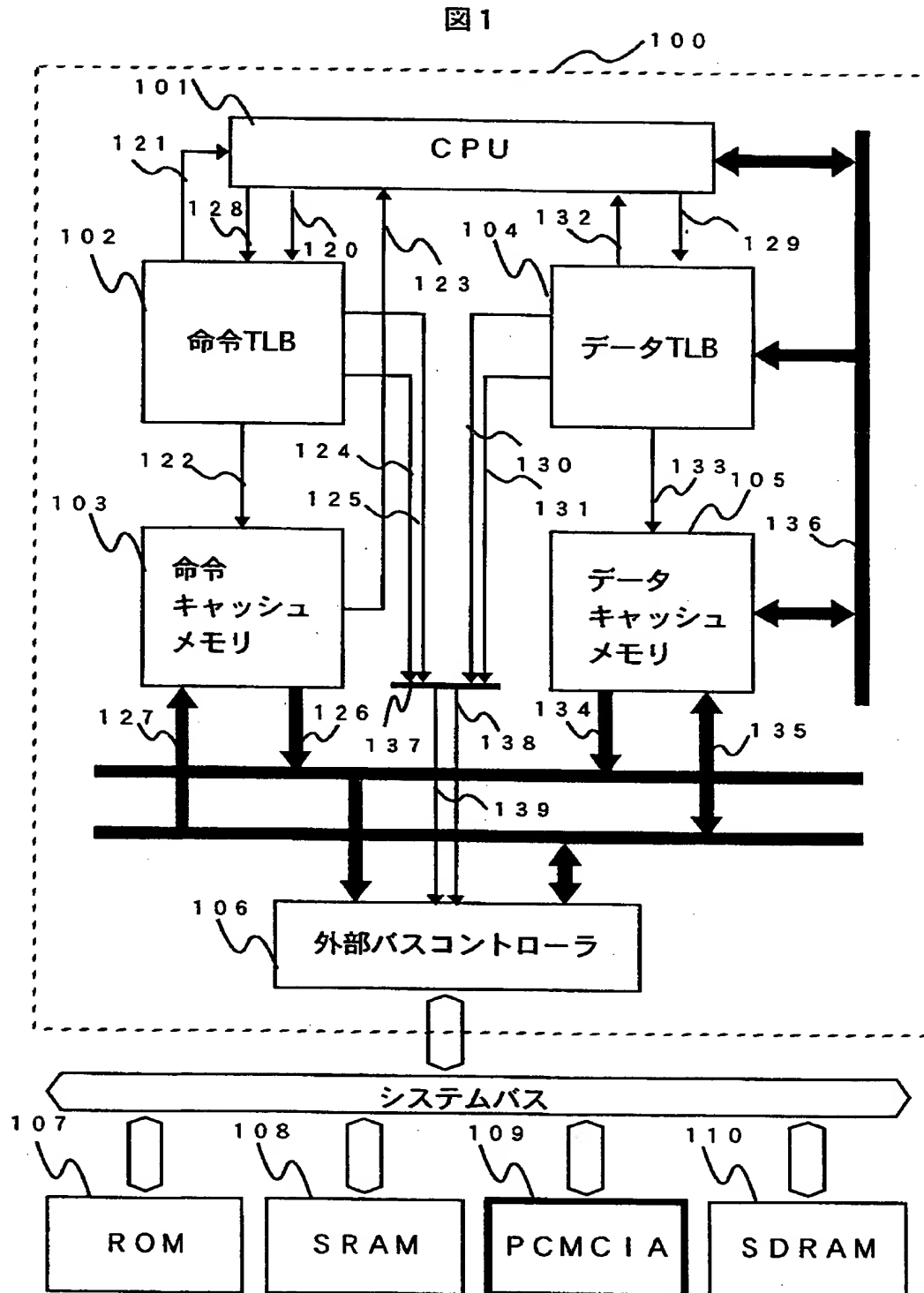
PCMCIAアクセスの処理フローを示す図である。

【符号の説明】

100…データ処理装置、101…CPU、102…命令TLB、103…命令キャッシュ、104…データTLB、105…データキャッシュ、106…外部バスコントローラ、107…ROM、108…SRAM、109…PCMCIA、110…SDRAM、137…命令LTB変換情報／データTLB変換情報セクタ、200…命令TLBアドレス変換バッファ、201…命令TLB比較器、202…命令TLBアドレス生成回路、203…命令TLB仮想アドレス／物理アドレスセクタ、204…命令TLBアドレスデコーダ、205…命令TLB制御情報セクタ、206…命令TLB制御情報格納レジスタ、300…データTLBアドレス変換バッファ、301…データTLB比較器、302…データTLBアドレス生成回路、303…データTLB仮想アドレス／物理アドレスセクタ、304…データTLBアドレスデコーダ、305…データTLB制御情報セクタ、306…データTLB制御情報格納レジスタ、400…タイミングコントロール制御回路、401…バス幅・メモリ属性判定回路、500…タイミングコントロール制御情報格納レジスタ、501…タイミングコントロール制御情報格納レジスタ。

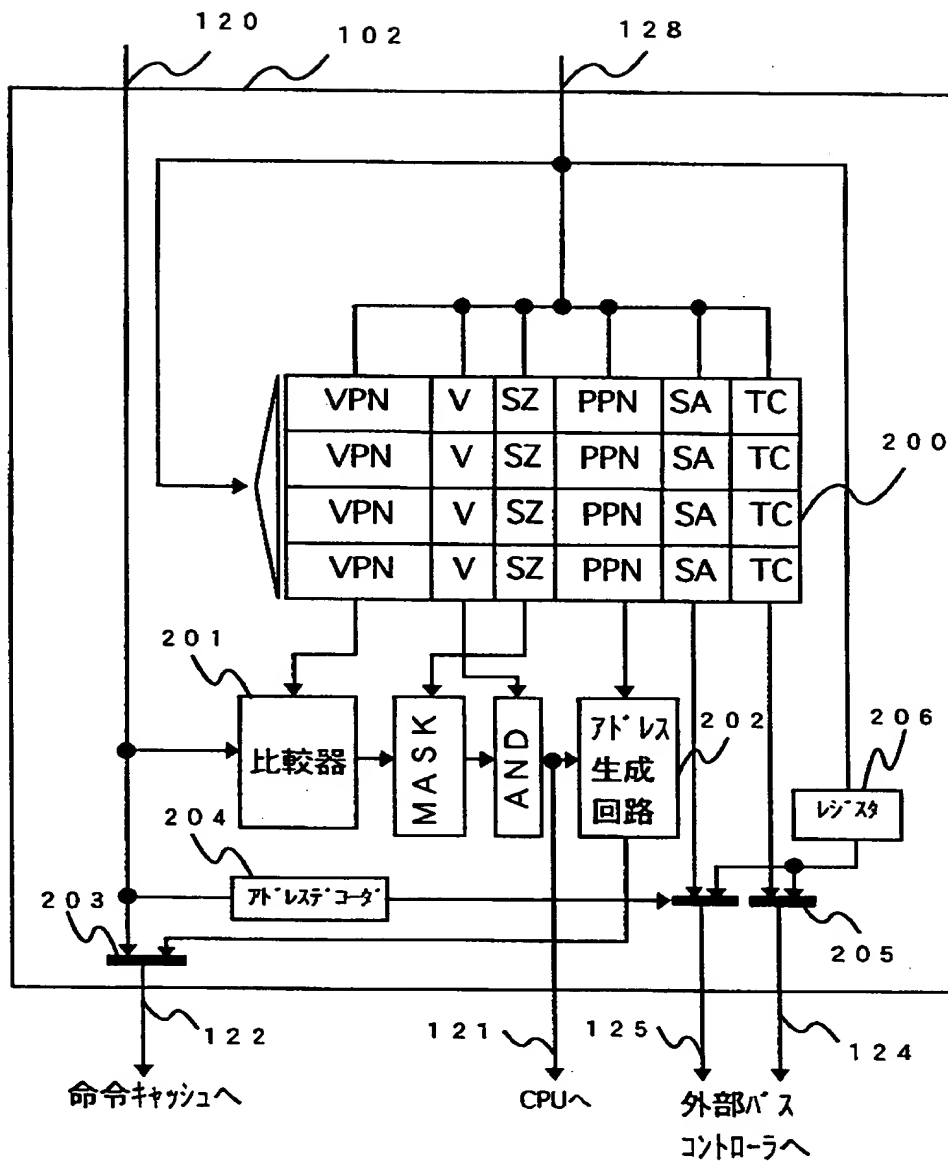
【書類名】 図面

【図1】



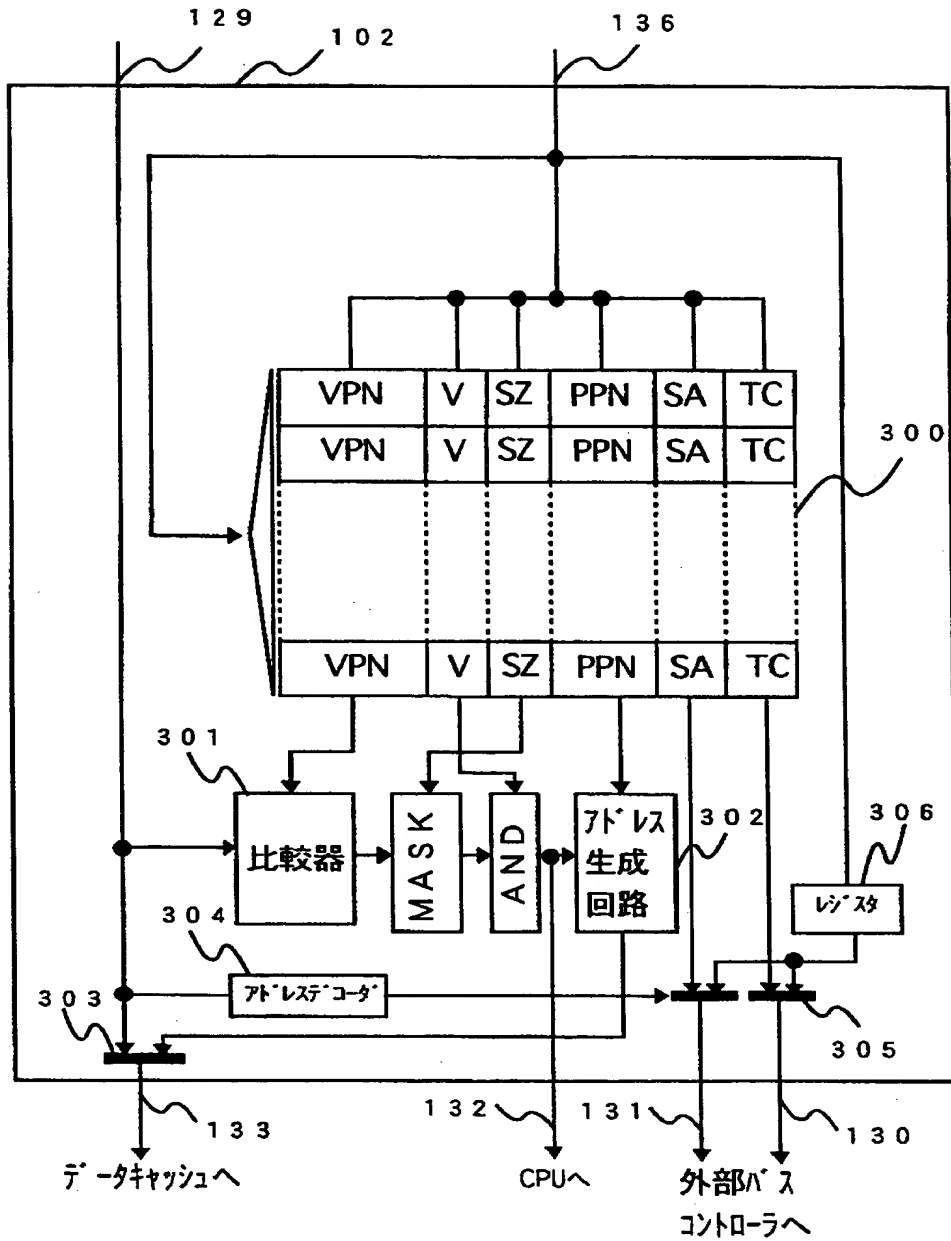
【図2】

図2



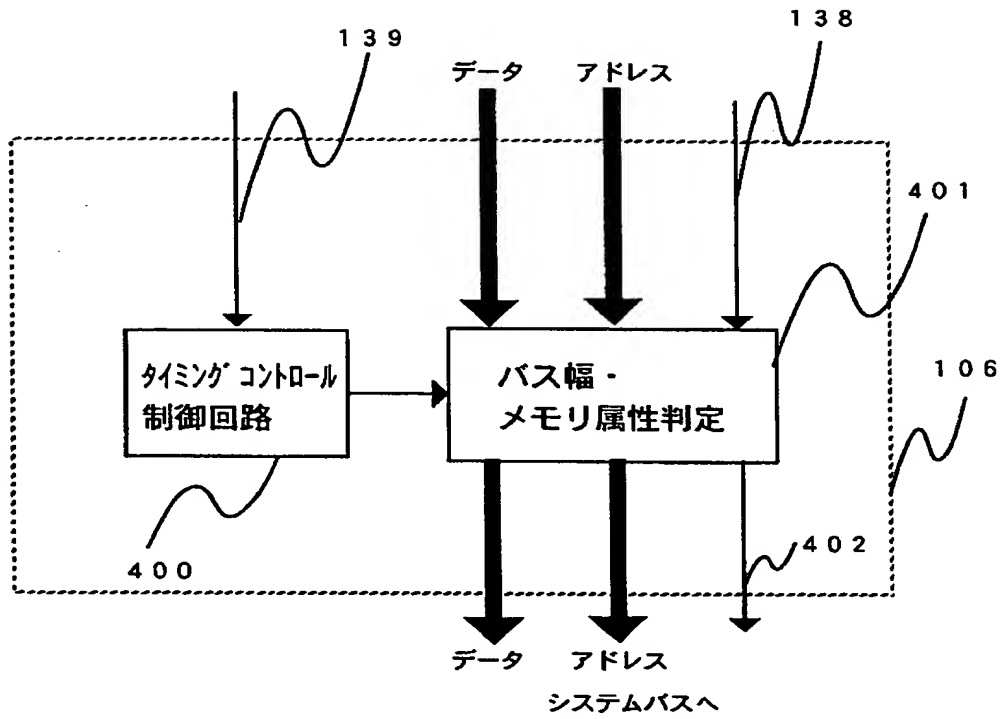
【図3】

図3



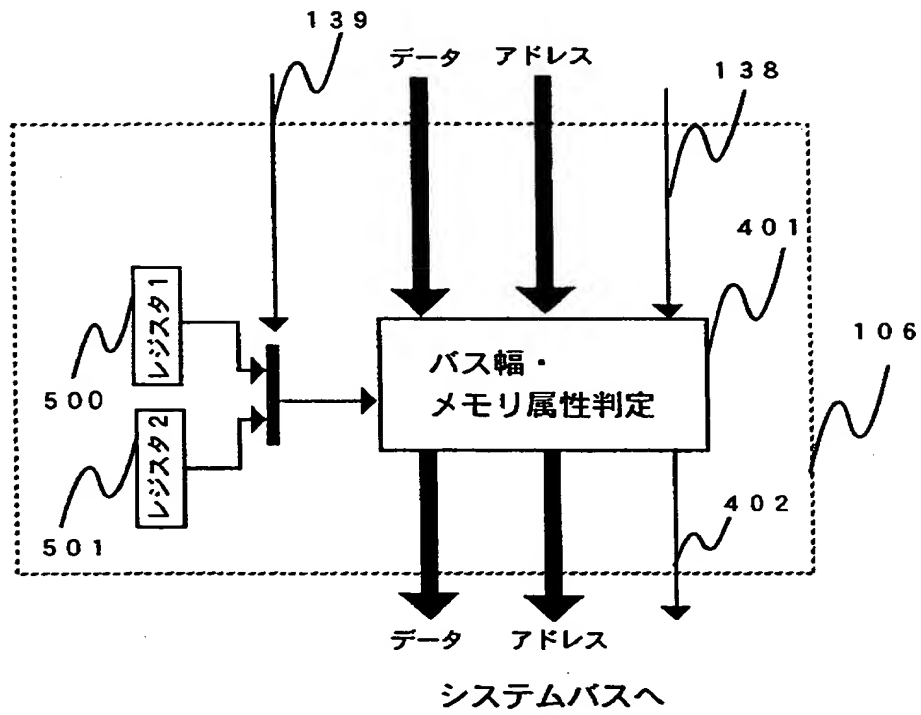
【図4】

図4



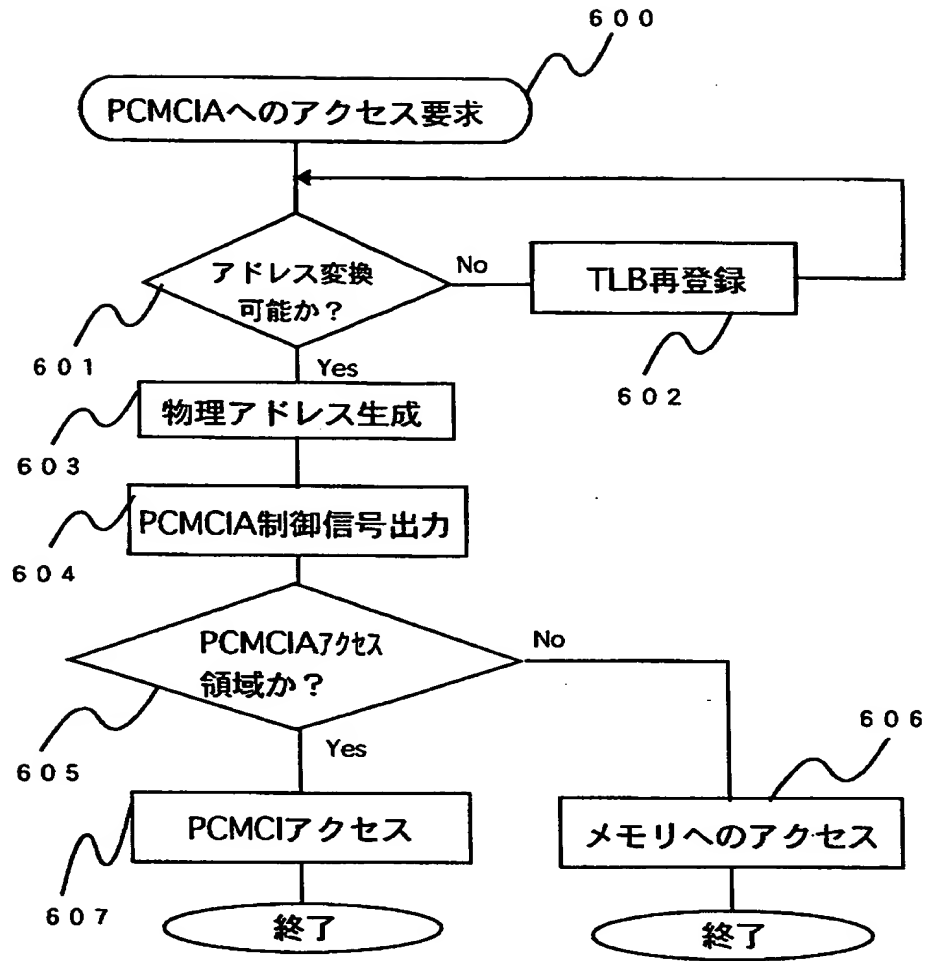
【図5】

図5



【図6】

図6



【書類名】 要約書

【要約】

【課題】 アクセス方法をダイナミックに変更できるPCMCIA等の外部デバイスにデータ処理装置を接続して動作させる際、実動作中にこの変更機能を容易に使用可能とする。

【解決手段】 データ処理装置(100)内に設けられたTLB(102,104)に、PCMCIAなどの外部デバイス(109)のアクセス方法等を指定する外部デバイス制御情報をアドレス変換情報ごとに格納しておき、外部デバイスのアクセスに用いる論理アドレスをTLBを介して変換する際に、当該制御情報をTLBから取り出して、外部デバイスの制御に用いる。

【選択図】 図1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005108

【住所又は居所】

東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】

株式会社日立製作所

【特許出願人】

【識別番号】

000233169

【住所又は居所】

東京都小平市上水本町5丁目22番1号

【氏名又は名称】

株式会社日立マイコンシステム

【代理人】

申請人

【識別番号】

100068504

【住所又は居所】

東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内

【氏名又は名称】

小川 勝男

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1990年11月 9日
[変更理由] 名称変更
住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立マイコンシステム
2. 変更年月日 1998年 4月 3日
[変更理由] 名称変更
住 所 東京都小平市上水本町5丁目22番1号
氏 名 株式会社日立超エル・エス・アイ・システムズ